

Série de TD N°3**Ex 01**

Dans une machine de Von Neumann :

1. Les données sont stockées dans.....
2. Les programmes sont stockés dans.....
3. Comment le processeur sait-il où est la prochaine instruction à exécuter ?
4. Comment une instruction s'écrit-elle dans la machine ?
5. Où sont effectués les calculs
6. Quel est le rôle du séquenceur
7. Quel est le rôle de l'ordonnancer
8. Où se trouve l'instruction en cours d'exécution.
9. Pourquoi utilise-t-on des mémoires caches

Ex 02

Un bureau d'étude possède un ordinateur avec un Processeur Athlon 64 FX de 2.4 GHz. Le processeur est une puce électronique à double cœur doté de la technologie super-scalaire avec trois unités et de la technologie pipeline avec huit étages.

Le bureau d'étude possède un programme de traitement de l'information contenant 10^9 instructions. Si on considère que chaque étage du pipeline a besoin de 2 cycles d'horloge.

- 1) Calculer le CPI
- 2) Calculer le MIPS
- 3) Calculer le temps moyen nécessaire pour l'exécution du programme.

Le processeur installé sur cette machine est équipé de deux niveaux de mémoire cache (L1 et L2) de taille 32KB et 1 MB respectivement. La carte mère procède, également, une mémoire cache (L3) de taille 6 MB.

La mémoire cache L1 est un ensemble de blocs ou chaque bloc est un tableau composé de quatre colonnes représentant respectivement : INDEX sur 7 bits, TAG sur 24 bits, DIRTY sur 1 bit et DATA sur 32 bits.

- 1) Quel est le nombre de lignes dans un bloc de L1
- 2) Combien y a-t-il de blocs dans L1, L2 et L3

Calculer, sans pipeline, le temps nécessaire pour l'exécution du même programme de traitement, sachant que le défaut de cache (cache miss) est égal à 30 % dans L1, à 10 % dans L2 et à 1 % dans L3 et que le processeur a besoin de 2 cycles pour charger l'instruction dans L1, de 3 cycles pour charger l'instruction dans L2 et de 5 cycles pour charger l'instruction dans L3.

Ex 03

Soit une machine avec une fréquence d'horloge de 3.2GHz. Le processeur de l'ordinateur est muni de la technologie Pipeline et de deux niveaux de mémoire cache. Le processus d'exécution de chaque instruction doit passer par 7 étages. Les trois premiers étages ont besoin de 2 cycles par étage, tandis que les autres ont besoin seulement d'un seul cycle.

- 1) Quel est le nombre de cycles nécessaire pour l'exécution de 1, 2, 4 et 10 instructions.
- 2) Quel est le nombre maximal d'exécutions (instructions) en parallèle ?
- 3) Quel est le temps nécessaire pour l'exécution d'un programme de 300.000 instructions sur cette machine avec et sans pipeline.

Si on suppose qu'il a un défaut de cache de 25% dans L1 et a un défaut de cache de 2% dans L2 et que le processeur a besoin de 2 cycles pour charger l'instruction dans L1 et de 3 cycles pour charger l'instruction dans L2.

- 4) Quel est le temps nécessaire pour l'exécution du même programme sans pipeline?