

Série TD n°5.2

Exercice n°1 :

1.1 Pipelining égal

Un processeur non pipeliné possède un temps de cycle de 10 ns, et des latches de pipeline d'une latence de 0.5 ns.

- Quels seront les temps de cycle des versions pipelinées du processeur avec un pipeline de 2, 4, 8 et 16 étages, si la logique de chemin de données est répartie de manière égale entre les étages du pipeline ?
- Quelle est la latence de chacune des versions pipelinées du processeur ?
- Combien d'étage sont requis pour atteindre un temps de cycle de 2 ns ?
- Quel est le temps d'exécution d'une instruction complète pour chacune des versions pipelinées ?

1.2 Pipelining inégal

Supposons qu'un processeur non pipeliné possède un temps de cycle de 25 ns et que le chemin de données est constitué de modules dont les temps d'exécution sont respectivement 2, 3, 4, 7, 3, 2 et 4 ns (dans cet ordre). Il est alors possible de mettre en place un pipeline à 7 étages correspondant à ces 7 modules. On suppose que le temps de stabilisation après le passage dans un étage est de 1 ns.

- Quel est le temps de cycle minimal qui peut être atteint en implémentant le pipeline sur ce processeur ?
- Si le processeur est divisé en un plus petit nombre d'étages qui lui permettent toutefois d'atteindre le temps de cycle de la question précédente, quel sera le temps d'exécution d'une instruction complète ?
- Si le pipeline est limité à deux étages, quel est le temps de cycle minimal ?
- Quel est alors le temps d'exécution d'une instruction complète ?

Exercice n°2 :

1. Identifiez tous les aléas **LAE** dans la séquence d'instruction suivante :

```
DIV r2, r5, r8
SUB r9, r2, r7
ASH r5, r14, r6
MUL r11, r9, r5
BEQ r10, #0, r12
OR r8, r15, r2
```

2. Identifiez tous les aléas **EAL** dans la séquence d'instruction

3. Identifiez tous les aléas **EAE** dans la séquence d'instruction

4. Identifiez tous les aléas **de contrôle** dans la séquence d'instruction

Exercice n°3 :

1. En utilisant le pipeline donné dans le cours (5 étages), donnez le diagramme d'exécution du fragment de code suivant :	2. En utilisant le pipeline donné dans le cours (5 étages), donnez le diagramme d'exécution du fragment de code suivant :
ADD r1, r2, r3 ! r1 <- r2 + r3 SUB r4, r5, r6 ! r4 <- r5 - r6 MUL r8, r9, r10 ! r8 <- r9 * r10 DIV r12, r13, r14 ! r12 <- r13 / r14	ADD r1, r2, r3 ! r1 <- r2 + r3 SUB r4, r5, r6 ! r4 <- r5 - r6 MUL r8, r9, r4 ! r8 <- r9 * r4 DIV r12, r13, r14 ! r12 <- r13 / r14

Exercise No. 1:

1.1 Equal Pipelining

A non-pipelined processor has a cycle time of 10 ns, and the pipeline latches have a latency of 0.5 ns.

- What will be the cycle times of the pipelined versions of the processor with a 2, 4, 8, and 16-stage pipeline, if the data path logic is evenly distributed across the stages of the pipeline?
- What is the latency of each of the pipelined versions of the processor?
- How many stages are required to achieve a cycle time of 2 ns?
- What is the execution time of a complete instruction for each of the pipelined versions?

1.2 Unequal Pipelining

Suppose a non-pipelined processor has a cycle time of 25 ns, and the data path consists of modules with execution times of 2, 3, 4, 7, 3, 2, and 4 ns, respectively (in this order). It is possible to implement a 7-stage pipeline corresponding to these 7 modules. Assume that the stabilization time after passing through each stage is 1 ns.

- What is the minimum cycle time that can be achieved by implementing the pipeline on this processor?
- If the processor is divided into fewer stages that still allow it to achieve the cycle time from the previous question, what will be the execution time of a complete instruction?
- If the pipeline is limited to two stages, what is the minimum cycle time?
- What is the execution time of a complete instruction then?

Exercise No. 2:

1. Identify all the RAW hazards in the following instruction sequence:

```

DIV r2, r5, r8
SUB r9, r2, r7
ASH r5, r14, r6
MUL r11, r9, r5
BEQ r10, #0, r12
OR r8, r15, r2
    
```

2. Identify all the WAW hazards in the instruction sequence.
3. Identify all the WAR hazards in the instruction sequence.
4. Identify all the control hazards in the instruction sequence.

Exercise No. 3:

Using the 5-stage pipeline provided in the course, give the execution diagram for the following code fragment:	Using the 5-stage pipeline provided in the course, give the execution diagram for the following code fragment:
<pre> ADD r1, r2, r3 ! r1 <- r2 + r3 SUB r4, r5, r6 ! r4 <- r5 - r6 MUL r8, r9, r10 ! r8 <- r9 * r10 DIV r12, r13, r14 ! r12 <- r13 / r14 </pre>	<pre> ADD r1, r2, r3 ! r1 <- r2 + r3 SUB r4, r5, r6 ! r4 <- r5 - r6 MUL r8, r9, r4 ! r8 <- r9 * r4 DIV r12, r13, r14 ! r12 <- r13 / r14 </pre>